

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-28537
(P2001-28537A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl. ⁷	識別記号	F I	データシート* (参考)
H 0 3 L 7/08		H 0 3 L 7/08	M 5 C 0 5 9
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 A 5 D 0 4 4
	5 5 0	20/18	5 5 0 Z 5 J 1 0 6
H 0 3 L 7/093		H 0 4 J 3/06	Z 5 K 0 2 8
7/107		H 0 4 L 7/00	Z 5 K 0 4 7

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平11-199946

(22) 出願日 平成11年7月14日 (1999.7.14)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 堀 和俊

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

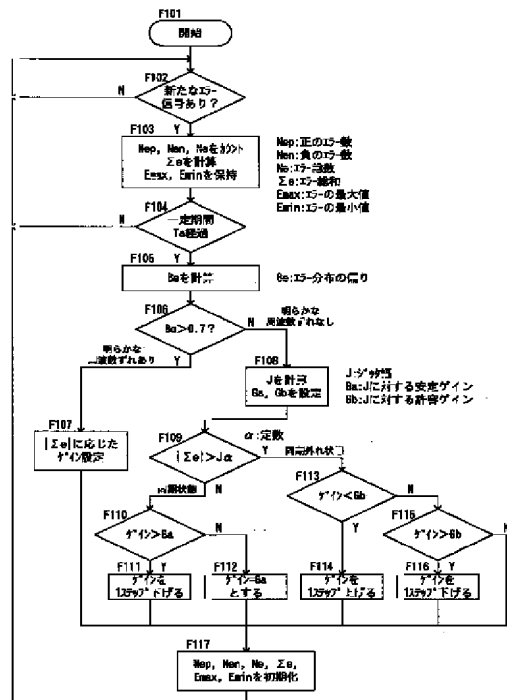
最終頁に続く

(54) 【発明の名称】 クロック再生回路

(57) 【要約】

【課題】 データと共に伝送される時刻基準情報に基づき符号化器側と同期した再生クロックを得るクロック再生回路において入力信号にジッタが発生している場合、再生クロックが不安定となる。

【解決手段】 所定期間T aに出力されたエラー信号の総和 Σe の絶対値とジッタ幅Jとの関係に基づき、入力信号と再生クロックとが同期状態にあるか否かを判別し (F109)、同期状態にある場合にはジッタ幅Jに対する安定ゲインG aを目標値としてゲインを変更し、同期状態にない場合にはジッタ幅Jに対する許容ゲインG bを目標値としてゲインを変更する。



【特許請求の範囲】

【請求項1】データと共に伝送される時刻基準情報に基づき前記データの生成側と同期した再生クロックを生成するクロック再生回路であり、

前記再生クロックと入力データにおける前記時刻基準情報とに基づきエラー信号を生成するエラー信号生成手段と、

前記エラー信号に可変量のゲインをあたえることのできる可変ゲイン手段と、

前記エラー信号生成手段からの複数のエラー信号に基づき前記可変ゲイン手段におけるゲイン値を設定するゲイン設定手段と、

前記可変ゲイン手段の出力するエラー信号に基づき前記再生クロックを生成するクロック生成手段とを備え、

前記ゲイン設定手段は、前記複数のエラー信号の分布状況に基づき前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれがあるか否かを判別し、この判別結果に応じて前記可変ゲイン手段におけるゲイン値を変更することを特徴とするクロック再生回路。

【請求項2】前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれはないと判別された際に、前記ゲイン設定手段は、前記複数のエラー信号におけるジッタ幅に応じて前記可変ゲイン手段におけるゲイン値を変更することを特徴とする請求項1記載のクロック再生回路。

【請求項3】前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれはないと判別された際に、前記ゲイン設定手段は、所定期間における前記エラー信号の総和と前記ジッタ幅との関係において前記再生クロックと前記データの生成側とが同期状態にあるか否かを判断し、同期状態にある場合は前記ジッタ幅に基づき設定される第1の目標値に向けてゲイン値を変更する一方、同期状態にない場合は前記ジッタ幅に基づき設定され、且つ前記第1の目標値より大なる第2の目標値に向けてゲイン値を変更することを特徴とする請求項2記載のクロック再生回路。

【請求項4】前記複数のエラー信号の分布状況に基づき前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれがあると判別された際に、前記ゲイン設定手段は、所定期間における前記エラー信号の総和に応じて前記可変ゲイン手段におけるゲイン値を変更することを特徴とする請求項1記載のクロック再生回路。

【請求項5】前記複数のエラー信号の分布状況に基づき前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれはないと判別された際に、前記ゲイン設定手段は、前記可変ゲイン手段におけるゲイン値を下げることを特徴とする請求項1記載のクロック再生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】バス接続可能なD-VHS（登録商標）等のデータストレージあるいはディジタル放送受信機を搭載したMPEG2トランスポートストリーム（以下、「MPEG2-TS」と記す）のデコーダ等におけるクロック再生回路であり、ジッタを含んだMPEG2-TSを受信する機器に最適なクロック再生回路に関する。

【0002】

【従来の技術】MPEG2-TSのストリームでは、PCR (Program Clock Reference) と呼ばれる時刻基準情報が約0.1秒に1回以上の頻度で挿入されている。このPCRは、MPEG2-TSの符号化器により生成付加されるものであるが、MPEG2-TSを復号する復号化器では、ビデオ信号やオーディオ信号を正しく再生するために、このPCRを参照して、符号化器のシステムクロックと同期したシステムクロックを生成する必要がある。

【0003】このような、MPEG2-TSのクロック再生回路の一例を図4に示す。同図において、1はMPEG2-TSから抽出されたPCR値とSTCカウンタ2から出力されるSTC (System Time Clock) 値に基づきエラー信号を出力する引算器、3は引算器1からのエラー信号に所定のゲインをあたえて出力するゲイン回路、4はゲイン回路3の出力にフィルタ処理を施してこれを出力するディジタルLPFである。

【0004】また、5はディジタルLPF4の出力をアナログ信号に変換して出力するD/A変換器、6は27MHzを中心周波数として、D/A変換器5から出力されるアナログ信号の電圧に応じて変化する周波数のクロックを出力する電圧制御発振器 (VCO) である。そして、電圧制御発振器6の出力は、システムクロックとしてMPEG2-TSの復号化器に出力されると共にSTCカウンタ2に出力され、STCカウンタ2の出力するSTC値が引算器1に供給される。

【0005】なお、引算器1は、ある時刻に受信したPCR値をPCR(n)、その時点のSTC値をSTC(n)とし、またその直前に受信したPCR値をPCR(n-1)、その時点のSTC値をSTC(n-1)とした場合に、PCR(n)からPCR(n-1)を減算した値とSTC(n)からSTC(n-1)を減算した値とを比較して、この2つの値の差分値を出力する。

【0006】ここで、MPEG2-TSに挿入されているPCR値は、符号化器において27MHzの周波数クロックをカウントして付与された値であり、また、STCカウンタ2の出力するSTC値もまた27MHzを中心周波数とした電圧制御発振器6から出力される値であるため、符号化器側におけるクロック周波数と電圧制御発振器6からのクロック周波数とが完全に一致していれば、

引算器1から0のエラー信号が出力されるが、両クロック間に周波数ずれがある場合には、このずれの大きさに応じたエラー信号が出力されることになる。

【0007】以上のような構成にてフィードバックループが形成され、符号化側におけるクロックと同一のクロックが電圧制御発振器6から出力されるよう制御される。

【0008】

【発明が解決しようとする課題】ところが、バスを介してMPEG2-TSを受信した場合、伝送クロックの違いや伝送フォーマットによりMPEG2-TSのパケット間隔が変動することがある。このため、バスのような伝送路を介した受信では、ジッタが重畳された状態でパケット受信が行われることになる。

【0009】ここで、従来のクロック再生回路を使用した場合、ゲイン回路3におけるゲインが高く設定された際に大きなジッタを含んだTSを受信すると電圧制御発振器6の出力するシステムクロックの周波数が大きく変動して動作が不安定となってしまう。

【0010】また、ジッタを含むTSが想定される場合にはゲインが低く設定されるが、この場合、素早い同期引き込みを行うことができなかった。また、同期引き込み後であってもいわゆるドリフトと呼ばれる同期ずれが発生することがあり、このような場合にも素早い同期引き込みを行うことができなかった。このように、MPEG2-TSにジッタが重畳されている場合には、ゲイン回路3のゲイン設定値を適切な値にすることが困難であった。

【0011】

【課題を解決するための手段】以上の課題を解決するために、本発明に係るクロック再生回路は、データと共に伝送される時刻基準情報に基づき前記データの生成側と同期した再生クロックを生成するクロック再生回路であり、前記再生クロックと入力データにおける前記時刻基準情報とに基づきエラー信号を生成するエラー信号生成手段と、前記エラー信号に可変量のゲインをあたえることのできる可変ゲイン手段と、前記エラー信号生成手段からの複数のエラー信号に基づき前記可変ゲイン手段におけるゲイン値を設定するゲイン設定手段と、前記可変ゲイン手段の出力するエラー信号に基づき前記再生クロックを生成するクロック生成手段とを備え、前記ゲイン設定手段は、前記複数のエラー信号の分布状況に基づき前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれがあるか否かを判別し、この判別結果に応じて前記可変ゲイン手段におけるゲイン値を変更することを特徴とするものである。

【0012】また、本発明に係るクロック再生回路は、前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれはないと判別された際に、前記ゲイン設定手段は、前記複数のエラー信号におけるジッタ幅に応じて前記可変ゲイン手段におけるゲイン値を

変更することを特徴とするものである。

【0013】また、本発明に係るクロック再生回路は、前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれはないと判別された際に、前記ゲイン設定手段は、所定期間における前記エラー信号の総和と前記ジッタ幅との関係において前記再生クロックと前記データの生成側とが同期状態にあるか否かを判断し、同期状態にある場合は前記ジッタ幅に基づき設定される第1の目標値に向けてゲイン値を変更する一方、同期状態にない場合は前記ジッタ幅に基づき設定され、且つ前記第1の目標値より大なる第2の目標値に向けてゲイン値を変更することを特徴とするものである。

【0014】また、本発明に係るクロック再生回路は、前記複数のエラー信号の分布状況に基づき前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれがあると判別された際に、前記ゲイン設定手段は、所定期間における前記エラー信号の総和に応じて前記可変ゲイン手段におけるゲイン値を変更することを特徴とするものである。

【0015】また、本発明に係るクロック再生回路は、前記複数のエラー信号の分布状況に基づき前記再生クロックの周波数と前記データの生成側の周波数との間に明らかな周波数ずれはないと判別された際に、前記ゲイン設定手段は、前記可変ゲイン手段におけるゲイン値を下げることを特徴とするものである。

【0016】

【発明の実施の形態】本発明に係るクロック再生回路は、比較的大きなジッタを含んだMPEG2-TSの入力時であっても、システムクロックを短時間で符号化側におけるシステムクロックと同期させると共に、同期引き込みが完了した状態で安定したシステムクロックが得られるようにしたことを特徴とするものである。

【0017】なお、本発明に係るクロック再生回路の構成は、図1に示す如く、図4で示したクロック再生回路にゲイン設定回路7の構成を追加したものである。つまり、引算器1、STCカウンタ2、ゲイン回路3、ディジタルLPF4、D/A変換器5、電圧制御発振器6の構成及び動作については、既に説明した如くであるためその説明を省略し、ここでは主にゲイン設定回路7の動作について説明する。

【0018】ゲイン設定回路7には、図1に示す如く引算器1からのエラー信号が入力されており、このエラー信号に基づきゲイン設定回路7は、ゲイン回路3におけるゲインを設定するよう構成されている。

【0019】図2は、ゲイン設定回路7によって設定されるゲイン回路3におけるゲインの設定動作を説明するための流れ図である。同図において、MPEG2-TSが入力されると(F101)、まず新たなエラー信号が入力されたか否かが検出され(F102)、新たなエラー信号が検出された場合には、Yへ進む一方、検出されない

場合には、新たなエラー信号が検出されるまでその検出動作が繰り返される。

【0020】次に、新たなエラー信号が検出された場合には、エラー信号における正のエラー数 N_{ep} 、負のエラー数 N_{en} 、エラー総数 N_e 、エラー総和 Σe を計算すると共に、エラーの最大値 E_{max} 、エラーの最小値 E_{min} が保持され(F103)、その後一定期間 T_a に達したか否かが検出される(F104)。

【0021】そして、一定期間 T_a に達した場合にはYに進む一方、一定期間 T_a に達していない場合にはNに進む。つまり、一定期間 T_a に達していない場合には、一定期間 T_a に達するまでF102、F103の動作が繰り返される。

【0022】なお、ここで、F104における一定期間 T_a を1秒間と設定すると、MPEG2-TSにおけるPCRは、最低0.1秒に1回の頻度で挿入されているため、この場合、一定期間 T_a 内に約10個のエラー信号が検出された後にF105の処理へと進むことになる。

【0023】F103では、新たなエラー信号が検出される度に正のエラー数 N_{ep} 、負のエラー数 N_{en} 、エラー総数 N_e 、エラー総和 Σe を計算すると共に、エラーの最大値 E_{max} 、エラーの最小値 E_{min} を保持するが、F105以降の処理は一定期間 T_a が経過した状態で行われる。

【0024】図3は、一定期間 T_a 内に検出されたエラー信号を示す図であり、同図(a)はシステムクロックと符号化器側におけるシステムクロックとの間の周波数ずれが大きい場合を示し、同図(b)は周波数ずれが小さい場合を示している。また、同図(c)は周波数ずれは小さいものの大きなジッタを含んでいる状態を示している。

【0025】なお、同図(a)に示す例では、一定期間 T_a 内における10個のエラー信号に対して、正のエラー数 N_{ep} は9、負のエラー数 N_{en} は1、エラー総数 N_e は10、エラー総和 Σe は44、エラーの最大値 E_{max} は9、エラーの最小値 E_{min} は-1となっている。そして、これらの値に基づきエラー分布の偏り Be が以下のとおり計算される(F105)。

$$Be = |(N_{ep} - N_{en})| / N_e$$

【0026】ここで、エラー分布の偏り Be が1の値に近い場合は、システムクロックと符号化器側におけるシステムクロックとの周波数に明らかにずれが生じていると判断することができる。つまり、一定期間 T_a 内におけるエラー分布が正方向あるいは負方向のいずれか一方に大きく偏っている場合には、明らかに周波数ずれが生じていると判断することができる。

【0027】なお、本発明に係るクロック再生回路では、例えば0.7を基準として、エラー分布の偏り Be の値が0.7より大きい値であれば明らかな周波数ずれが発生していると判断し(F106)、0.7以下の値であれ

ば明らかな周波数ずれは発生していないと判断している。つまり、図3(a)に示す例では、エラー分布の偏り Be の値が0.8であり、明らかな周波数ずれが生じていると判断される。

【0028】そして、明らかな周波数ずれが発生していると判断されたときには、エラー総和 Σe の絶対値に応じた値にゲイン回路3におけるゲインが設定される(F107)。即ち、エラー総和 Σe の絶対値の大小に応じて、複数のステップに設定可能なゲインのうちの一つのステップが選択設定される。なお、図3(a)に示す例では、エラー総和 Σe の値が44であるため、この値に応じたステップのゲインに設定される。

【0029】一方、F106においてエラー分布の偏り Be の値が0.7以下の値である場合には、その後ジッタ幅 J が計算されると共に、ジッタ幅 J に対する安定ゲイン G_a 、ジッタ幅 J に対する許容ゲイン G_b が設定される(F108)。つまり、図3(b)に示す如くエラー分布の場合には、エラー分布の偏り Be の値が0.2であるため、明らかな周波数ずれは生じていないと判断されるが、周波数ずれが生じていない場合でも、大きなジッタを含む場合がある。従って、ジッタ幅に応じたゲインを設定する必要がある。

【0030】ここで、あるジッタ幅 J に対して安定なクロックを得ることのできるゲインを実験的に求めると、ジッタ幅が倍になれば安定ゲインは半分となることがわかる。即ち、ジッタ幅 J に対する安定ゲイン G_a は、ジッタ幅 J と反比例するので以下の通りとなる。

$$G_a = a / J \quad (a \text{ は定数})$$

【0031】また、あるジッタ幅 J に対してクロックが大きく変動し過ぎることのない許容できるゲインを実験的に求めると、同様にジッタ幅 J と反比例することがわかるので以下の通りとなる。

$$G_b = b / J \quad (b \text{ は定数})$$

【0032】以上のような定数 a 及び b を予め実験または演算により定めておくことにより安定ゲイン G_a 及び許容ゲイン G_b を設定することができるが、安定ゲイン G_a は安定なクロックを得ることのできるゲインであるのに対して、許容ゲイン G_b はクロックが大きく変動し過ぎることのない許容できるゲインであるため、安定ゲイン G_a と許容ゲイン G_b との関係は以下の通りとなる。

$$G_a < G_b$$

なお、これらの値は、予め装置内に保持しておくことも可能である。

【0033】次に、ジッタ幅 J に比例したしきい値とエラー総和 Σe の絶対値とを比較することにより同期外れを検出する。即ち、図示の如くエラー総和 Σe の絶対値がジッタ幅 J に所定の定数 α を乗じた値 $J\alpha$ を超えている場合には、同期外れの状態であると判断する一方、ジッタ幅 J に所定の定数 α を乗じた値 $J\alpha$ 以下である場合には、同期がとれた状態であると判断する(F109)。

【0034】このように、本発明に係るクロック再生回路では、ジッタ幅 J が大きい値である場合には、エラー総和 Σe の絶対値が比較的大きくても同期がとれた状態であると判断する。これは、突然大きなジッタが発生する場合、この大きなジッタによりエラー総和 Σe の絶対値が大きな値となる傾向にあり、同期状態であってもこの大きなジッタの影響で同期外れと判断してしまうことを防止するためである。

【0035】ここで、図3(c)は同期がとれているものの、突然大きなジッタが発生した状態を示している。このように、突然大きなジッタが発生した場合にはこのジッタの影響によりエラー総和 Σe の絶対値が大きな値となるが、本発明に係るクロック再生回路では、この状態を同期状態と判断し、不必要なゲイン変動を避けるようにしている。

【0036】また、このような突然発生する大きなジッタに対処するためには、一定期間 T_a におけるエラー総和 Σe のみならず、これ以前における複数のエラー総和の値を用いて、一定期間 T_a より長い期間にわたりエラー総和を計算することで同期状態であるか否かを判断させても良い。

【0037】次に、同期がとれた状態であると判断された場合には、現在のゲイン設定値とジッタ幅 J に対する安定ゲイン G_a とが比較され(F110)、現在のゲイン設定値が安定ゲイン G_a を超えている場合には、現在のゲイン設定値を1ステップ下げ(F111)、現在のゲイン設定値が安定ゲイン G_a 以下である場合には、現在のゲインを安定ゲイン G_a に設定する。このように、同期のとれている状態では、現在のゲイン設定値をジッタ幅 J に対する安定ゲイン G_a に近づける方向にゲインが変更される。

【0038】一方、同期外れの状態であると判別された場合には、現在のゲイン設定値とジッタ幅 J に対する許容ゲイン G_b とが比較され(F113)、現在のゲイン設定値が許容ゲイン G_b に満たない場合には、現在のゲイン設定値を1ステップ上げる(F114)。

【0039】また、現在のゲイン設定値が許容ゲイン G_b 以上である場合には、更に、現在のゲイン設定値を許容ゲイン G_b と比較し(F115)、現在のゲイン設定値が許容ゲイン G_b を超えている場合には、現在のゲイン設定値を1ステップ下げ(F116)、現在のゲイン設定値が許容ゲイン G_b 以下である場合、即ち、現在のゲイン設定値が許容ゲイン G_b と同一である場合には、ゲインを変更しない。つまり、同期外れの状態では、現在のゲイン設定値をジッタ幅 J に対する許容ゲイン G_b に近づける方向にゲインが変更される。

【0040】以上のようなゲイン制御を行った後に、正のエラー数 N_{ep} 、負のエラー数 N_{en} 、エラー総数 N_e 、エラー総和 Σe 、エラーの最大値 E_{max} 、エラーの最小値 E_{min} を初期化して(F117)、F102にお

ける新たなエラー信号の検出を再開する。

【0041】このように、本発明に係るクロック再生回路では、ジッタ幅 J とエラー総和の絶対値との関係において同期状態であるか否かを判断し、それぞれの状態においてジッタ幅 J に応じた適切な目標値にゲインが変更されるため、入力MPEG2-TSに大きなジッタが発生している場合でもゲイン回路3におけるゲインを適切な値に設定できる。

【0042】そして、このようにして設定されたゲインによりエラー信号の値が調整された後に、ディジタルLPF4、D/A変換器5を介したアナログ信号が電圧制御発振器6に供給されて、符号化器側におけるシステムクロックと同期したクロックを素早く得ることが可能になる。

【0043】なお、以上の実施例では図2におけるF106において明らかな周波数ずれが発生していないと判別された場合に、ジッタ幅に応じたゲイン設定を行った例を示したがこれに限らず、明らかな周波数ずれが発生していないと判別された場合、つまり、F106においてエラー分布の偏り B_e の値0.7以下の値である場合に、単純にゲインを1ステップ下げるよう制御を行ってもよい。このような制御でもある程度のジッタに対しては、適切なゲインを設定させることが可能となり、且つ演算処理を軽減させることが可能となる。

【0044】また、以上のゲイン設定処理を行うための構成は、ハードウェアによる構成であっても、またソフトウェアによる構成であっても構わないことは言うまでもない。また、本発明に係るクロック再生回路は、IEEE1394に準拠したバスインターフェースを備えるD-VHS(登録商標)、セットトップボックス等の映像音響機器、またはその他の接続機器に適用できることは言うまでもない。

【0045】

【発明の効果】本発明によるクロック再生回路によれば、複数のエラー信号の分布状況に基づきゲイン設定を行っているため、再生クロックの周波数とデータ再生側の周波数との間に明らかな周波数ずれがある場合に素早い同期引き込みを行うことが可能となる。

【0046】また、複数のエラー信号におけるジッタ幅に応じたゲイン設定を行っているため、入力データに大きなジッタが発生している場合でも、このジッタに応じたゲイン設定を行うことができ、ジッタの発生している状態でも良好な再生クロックを得ることができるという効果を奏する。

【0047】また、本発明によるクロック再生回路によれば、所定期間期間におけるエラー信号の総和とジッタ幅との関係において入力データと再生クロックとが同期状態にあるか否かを判断しているため、突然大きなジッタが発生した場合でも同期状態であるか否かを正確に判断可能である。

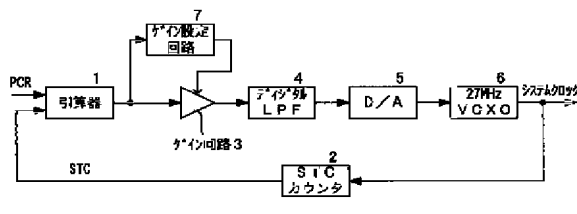
【0048】また、同期状態にある場合はジッタ幅に基づき設定される第1の目標値に向けてゲイン値を変更する一方、同期状態にない場合はジッタ幅に基づき設定され、且つ第1の目標値より大なる第2の目標値に向けてゲイン値を変更するため、素早い同期引き込みと、同期引き込み後の安定した再生クロックの生成とが可能になる。

【0049】また、複数のエラー信号の分布状況に基づき再生クロックの周波数とデータ再生側の周波数との間に明らかな周波数ずれはないと判別された際に、ゲインを下げる処理を行うことにより、多くの演算処理を行うことなしに適切なゲイン設定が可能となる。

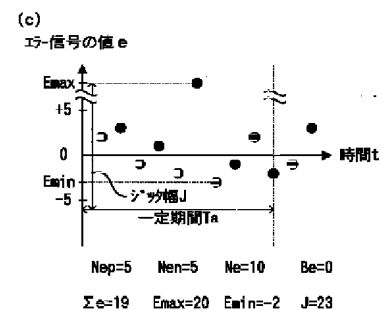
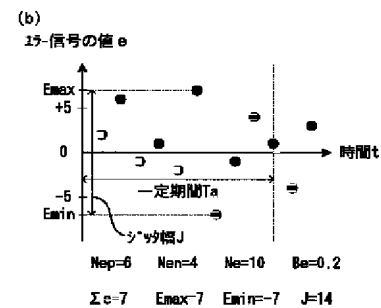
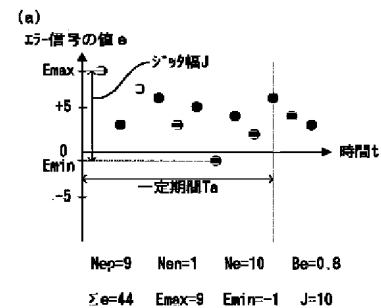
【図面の簡単な説明】

【図1】本発明に係るクロック再生回路の構成を説明するための図である。

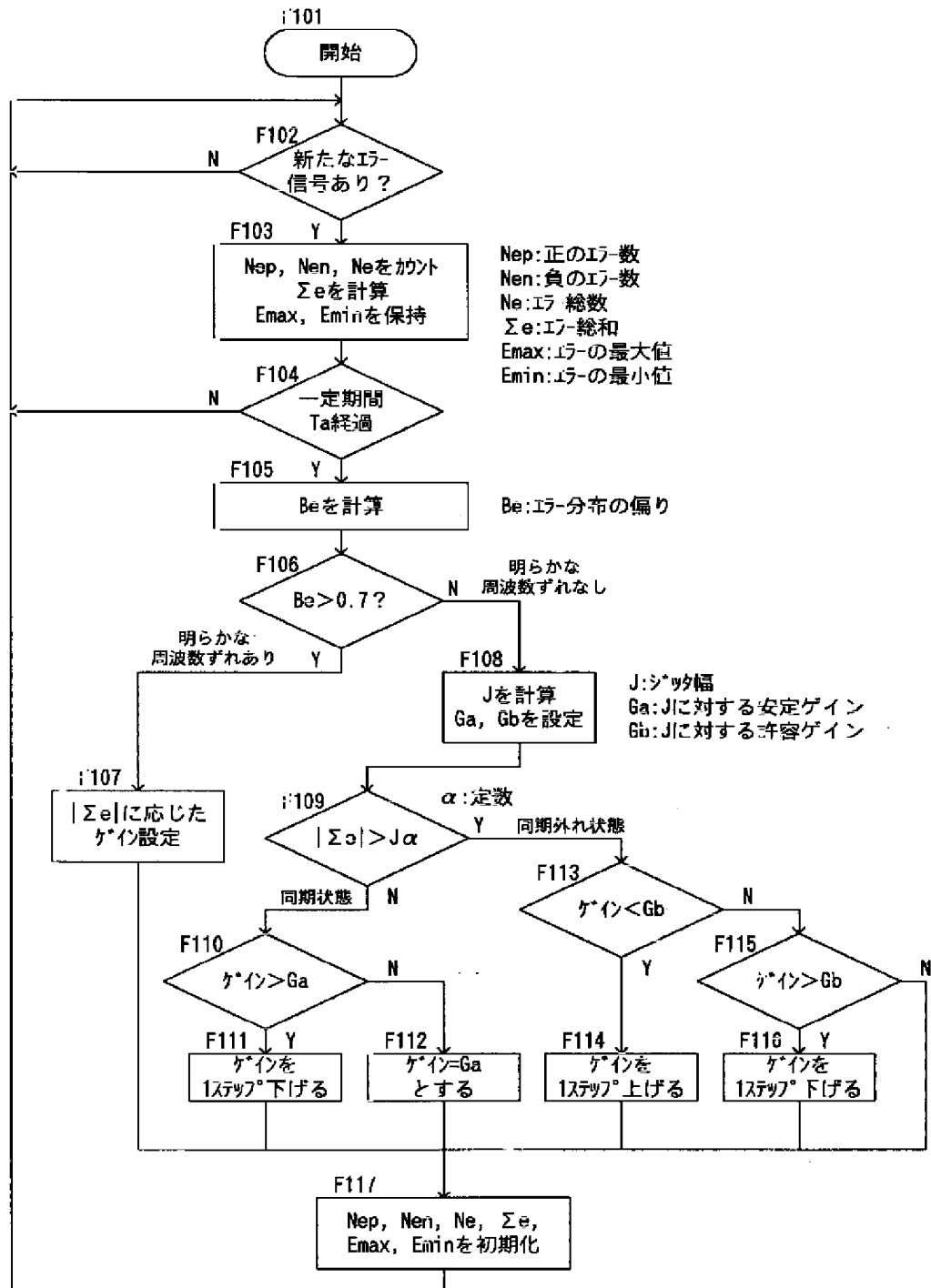
【図1】



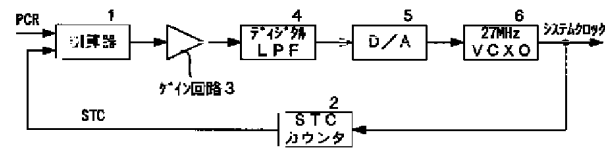
【図3】



【図2】



【図4】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	(参考)
H 0 4 J	3/06	H 0 3 L	7/08 E
H 0 4 L	7/00		7/10 E
H 0 4 N	7/24	H 0 4 N	7/13 Z

F ターム(参考) 5C059 LA01 MA00 RB02 RC03 RC04
 TA00 TC00 TD11 UA05 UA09
 UA12
 5D044 GK08 GM14 GM15 GM18
 5J106 AA04 CC21 CC46 DD13 DD35
 EE10 GG07 HH04 KK03 KK25
 5K028 AA14 EE03 NN04 NN31
 5K047 AA02 AA06 AA12 DD02 GG08
 MM46